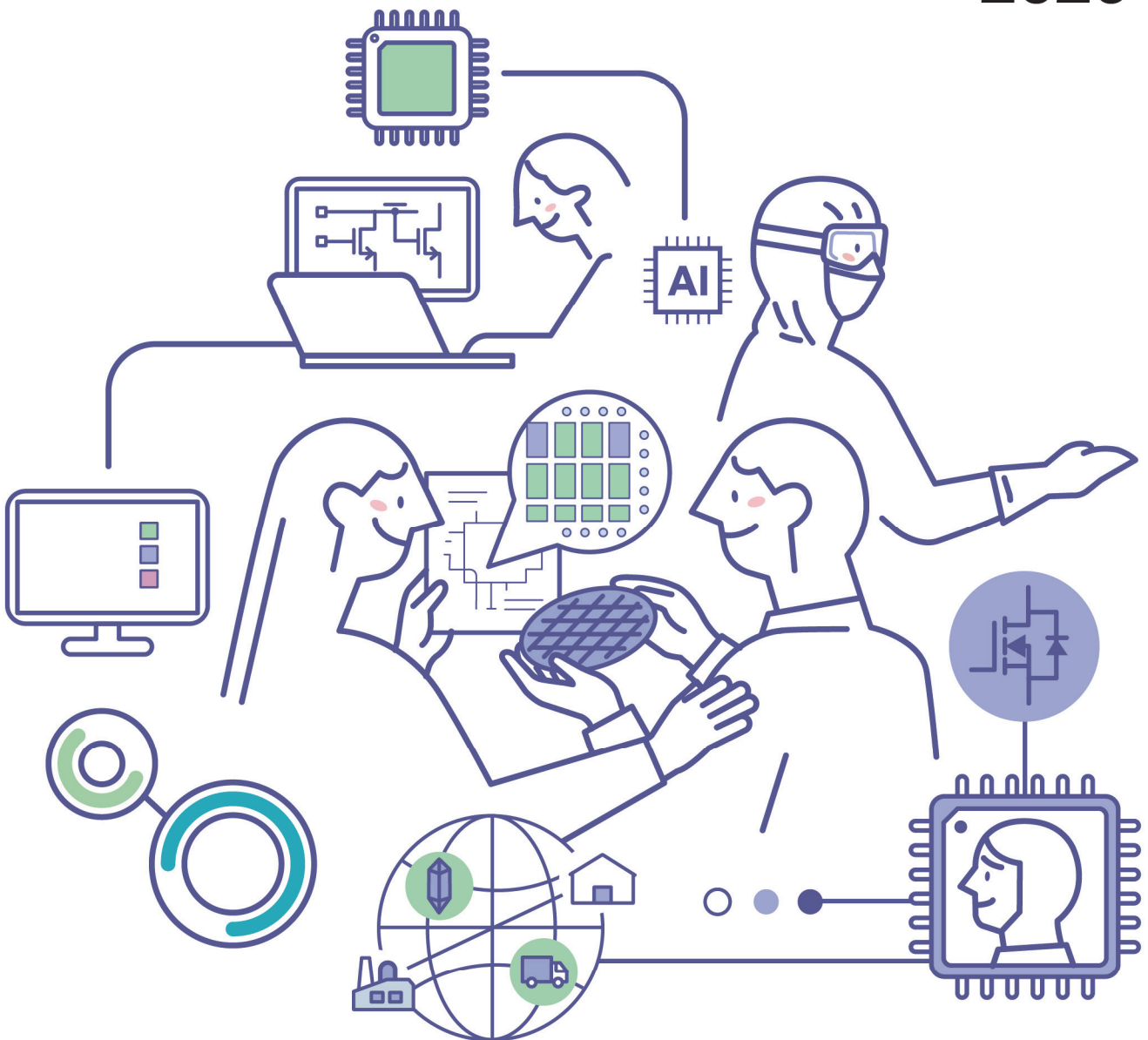


국가반도체연구실(NSL) 우수성과 사례집

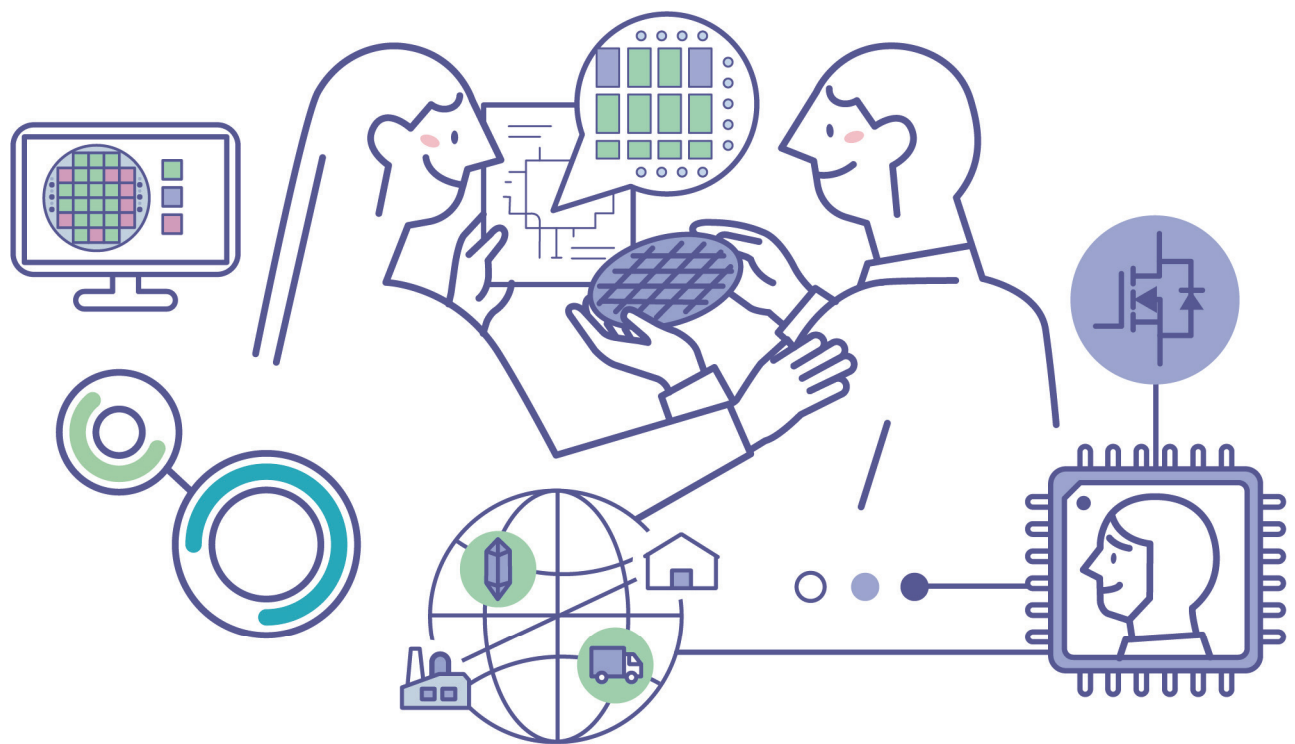
2026



국가반도체연구실(NSL)
우수성과 사례집

06

POSTECH 나노전자시스템연구실





1 전자소자연구실 소개

NSL 핵심 연구

ZnO·Te 등 상보성 극박막 상복합 소재를 이용해 다양한 신소자 개념을 도출하고, 이를 집적 논리회로 수준까지 구현·실증하여 차세대 소자 및 신개념 회로 원천 기술을 확보

PI 프로필



이병훈 Byoung Hun Lee / POSTECH 전자전기공학과 교수 /
반도체공학과 주임교수 / 나노융합기술원(NINT) 원장

약력

- POSTECH 전자전기공학과, 반도체공학과 학과장 (2020-현재)
- POSTECH 나노융합기술원, 반도체기술융합센터 원장 (2020-현재)
- GIST 신소재공학부 정교수 (2008~2020)
- SEMATECH Program manager (2007~2008)
- IBM 반도체연구개발센터 책임연구원 (2001~2007)
- 삼성전자 반도체 연구소 (1991~2000)
- 글로벌 협의회 회장 (2026~), IEEE and Electron Device Society, senior member (2005~), IEEE Cleo Brunetti Award committee chair (2022~2027)

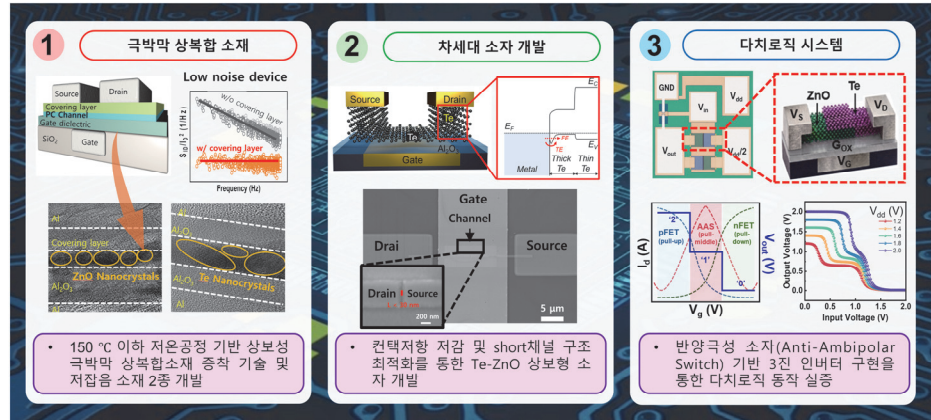
전문분야

- 극박막 상복합 소재 저온 집적공정, 저잡음 소자·증폭기, 반양극성(anti-ambipolar) 소자, Graphene, ZnO, Te, 2D materials, 저전력 다차로직

주요연구이력

- "Multi-Functional ZnO-Te Heterojunction Devices Enabling Compact Frequency Quadrupler" *Advanced Functional Materials*. (2026) 등 SCI(E) 논문 325여 편,
- "Reinterpreting p-type Te FETs as SBFETs Enables Reduction of Hysteresis and Contact Resistance" *IEDM*. (2025) 등 국제학술대회 발표 516여 편

연구 분야 맵



핵심 장비·인프라

NSL 연구 대표 성과를 만들어낸 핵심 장비

1. 고분자층 및 산화물 박막 증착 장비 / Molecule Layer Deposition (MLD)

상보성 극박막 소자 제작에 필요한 상복합(phase-composite) 채널 소재를 기판 위에 원자·분자층 단위로 형성하는 핵심 장비이다. n형 채널인 Phase-Composite ZnO와 p형 채널인 Phase-Composite Te를 모두 이 장비로 증착할 수 있다. 또한 증착 조건에 따라 박막 내 결정상과 비정질상의 비율을 조절할 수 있어, 단일 상 박막으로는 동시에 얻기 어려운 높은 이동도와 낮은 저주파 잡음 특성을 함께 확보하며 150℃ 이하의 저온에서 균일한 극박막을 형성해 기판 손상 없이 소자를 위로 쌓아 올릴 수 있고, 이는 3차원 적층과 후공정 호환 집적(BEOL Integration)의 기반이 된다.

2. 마스크리스 노광 장비 / Maskless Aligner (μ MLA)

MLD로 형성한 상복합 극박막을 실제 소자와 회로 형태로 새겨 내는 패터닝 장비이다. 포토마스크 없이 설계 도면을 기판에 직접 노광하므로, 채널 길이나 전극 구조를 바꿀 때 마스크를 새로 제작할 필요 없이 곧바로 새 소자를 만들어 검증할 수 있다. 이러한 빠른 설계 반복은 $\text{Te} \cdot \text{ZnO}$ 소자의 컨택저항을 낮추는 전극 구조와 단채널 조건을 찾아가는 과정에 직접 활용됐다. 나아가 단위 소자에 그치지 않고 반양극성 소자를 배열한 다치로직 회로의 레이아웃까지 같은 장비로 패터닝할 수 있어, 소재에서 소자, 회로에 이르는 검증을 연구실 내부에서 일관되게 수행하는 기반이 된다.

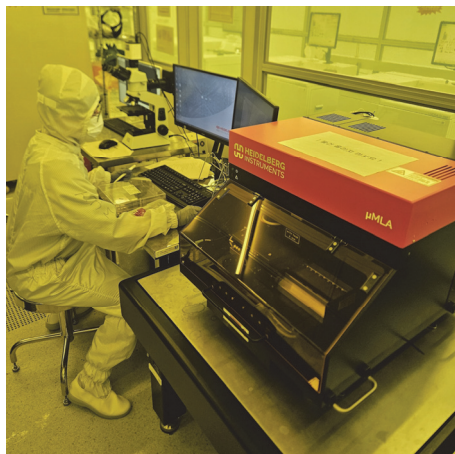


사진 1 Molecule Layer Deposition (MLD)

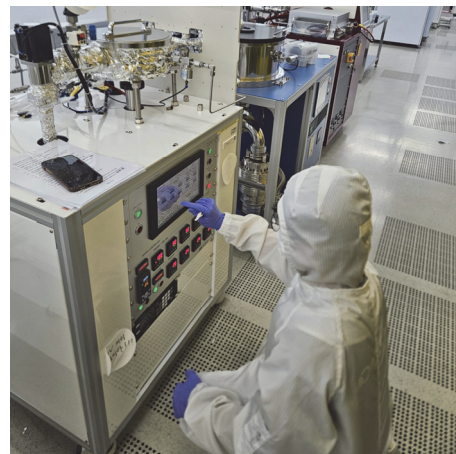


사진 2 Maskless Aligner (μ MLA)

2 NSL 대표 연구 성과

NSL 세부 과제명

극박막 상복합 소재기반 신소자 및 아키텍처 연구

연구 기간

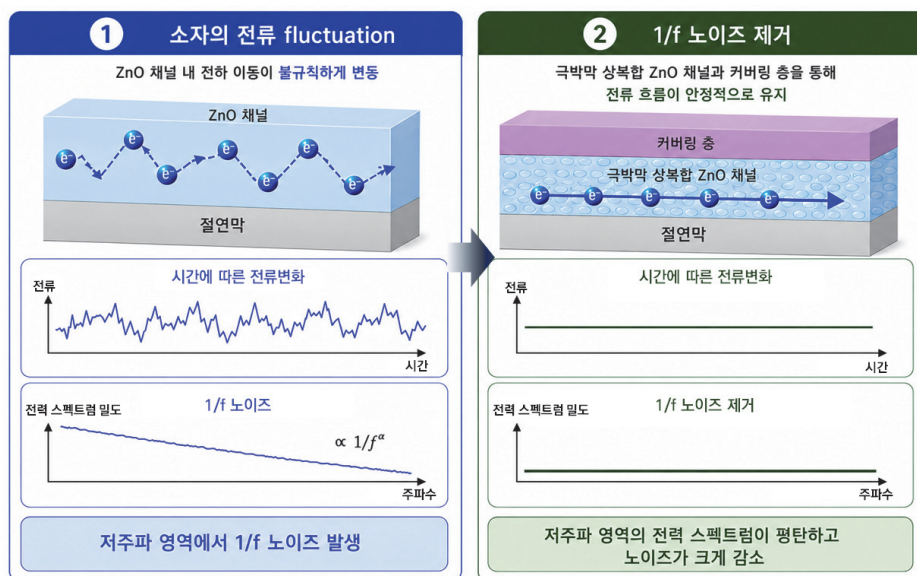
2023. 05. ~ 2028. 01.

헤드라인

“저주파 잡음을 소자에서부터 억제하는 양자우물 구조의 트랜지스터 기술 구현”

극박막 상복합 ZnO에 양자우물 구조를 형성해 1/f noise가 발생하지 않는 전하 수송을 구현하고 이를 통해 저주파 신호처리 회로의 저잡음 동작 가능성을 제시

기술 개념도



Why it Matters

반도체 소자 내부의 전하 수송과정에서 채널을 흐르는 전류가 시간에 따라 미세하게 변동하며, 이러한 전류 fluctuation은 특히 저주파 영역에서 크게 나타나는 $1/f$ noise의 원인이 된다. 심전도, 가스 센서와 같이 느리게 변하는 미세 신호를 처리하는 회로에서는 이러한 소자 잡음이 실제 신호와 겹쳐 신호 대 잡음비와 측정 정확도를 떨어뜨리고, 정밀 아날로그 회로에서는 출력과 기준점의 안정성을 저하시킬 수 있다.

기존에는 반도체 채널이나 절연막 계면을 개선해 소자 잡음을 줄이거나, chopper·auto-zeroing과 같은 별도의 회로 기법을 이용해 $1/f$ noise의 영향을 완화해 왔다. 그러나 기존 소자 기술은 $1/f$ noise를 낮추는 데 주로 집중되어 왔으며, 회로 수준의 보정 방식은 추가 소자와 제어 회로가 필요해 면적·소비전력·설계 복잡도가 증가하는 한계가 있다.

본 연구는 이러한 잡음을 회로에서 보정하는 대신, 트랜지스터의 전하 수송 특성 자체를 변화시키는 방식을 제시하였다. 극박막 상복합 ZnO에 양자우물 구조를 형성해 $1/f$ noise가 나타나지 않는 전하 수송을 구현했으며, 기존 ZnO FET 대비 10Hz에서 약 1,000배 낮은 잡음 수준을 확보하였다. 이를 통해 미세한 저주파 신호를 안정적으로 처리하는 저잡음·고안정 회로 구현 가능성을 제시하였다.

기술 스토리

센서나 정밀 아날로그 회로는 크기가 작고 느리게 변하는 신호를 처리한다. 이때 회로를 구성하는 반도체 소자에서 발생하는 $1/f$ noise는 실제 신호를 가려 신호 구분을 어렵게 하고, 측정 정확도를 떨어뜨릴 수 있다. 기존에는 반도체 계면과 채널의 결함을 줄여 잡음을 낮추거나 별도의 잡음 보정 회로를 이용해 왔지만, $1/f$ noise를 충분히 억제하기 어렵거나 회로 복잡도와 소비전력이 증가하는 한계가 있었다.

본 연구는 잡음을 회로에서 보정하는 대신 전하가 이동하는 수송 상태를 소자 구조를 통해 제어하는 새로운 접근을 적용하였다. 약 3.5nm 두께의 극박막 상복합 ZnO에 covering layer를 형성해 양자우물 구조를 구현하고, 양자화된 전도 상태가 전하 수송을 지배하는 영역에서 전류 변동이 크게 억제되는 현상을 확인하였다. 이를 통해 일반적인 ZnO 트랜지스터에서 나타나는 $1/f$ noise와 달리 주파수에 거의 의존하지 않는 평탄한 잡음 특성을 구현하였다.

그 결과 ZnO 양자우물 트랜지스터는 10Hz에서 $2.48 \times 10^{-9} \mu\text{m}^2/\text{Hz}$ 의 잡음 밀도를 나타내며 일반 ZnO 트랜지스터 대비 약 1,000배 낮은 잡음 수준을 확보하였다. 또한 이를 저주파 신호처리 회로에 적용해 51.1dB의 신호 대 잡음비(SNR)를 구현하고, 높은 출력저항 특성을 활용한 기준전류 회로에서 0.0023 %/V의 line sensitivity와 10Hz에서 87dB의 PSRR을 확보하였다. 이를 통해 소자 단계의 $1/f$ noise 억제가 저잡음·고안정 회로 구현으로 확장될 수 있는 가능성을 제시하였다.

Key achievement

NSL 연구과제 주요 성과

학술	전재현, "Multi-Functional ZnO-Te Heterojunction Devices Enabling Compact Frequency Quadrupler", <i>Advanced Functional Materials</i>, vol. 36, no. 42, pp. e74948, (2026.3월)
특허	"저주파 노이즈가 제거된 소자(DEVICE OF REMOVING LOW FREQUENCY NOISE)" KR 10-2024-0180171 (출원/2024), US 18/999,979 (출원/2024), EP 24223124.9 (출원/2024), JP 2024-227199 (출원/2024), [삼극특허 출원]
언론 보도	- 전자신문, "포스텍, 저온 공정 가능한 이종접합 트랜지스터 개발", (2026.5.19), [온라인] - 동아사이언스, "부품 75% 줄이고 속도 4배... 포스텍, 차세대 반도체 소자 개발", (2026.5.19), [온라인]

NSL 대표 성과의 의의

본 성과는 극박막 상복합 ZnO 양자우물 구조를 통해 반도체 소자의 $1/f$ noise를 기존 ZnO 트랜지스터 대비 약 1,000배 억제하는 전하 수송 원천기술을 확보한 성과로, 바이오·가스 센서와 정밀 아날로그 회로 등 미세 저주파 신호처리가 요구되는 반도체 소자에 적용할 수 있다. 소자 자체에서 잡음을 억제함으로써 별도의 잡음 보정 회로에서 기인하는 면적·전력·설계 복잡도 한계를 극복 할 수 있어, 차세대 저잡음 반도체 소자 기술의 국내 내재화와 센서·아날로그 반도체 분야의 글로벌 경쟁력 강화에 기여할 것으로 기대된다.